

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-001943

(43)Date of publication of application : 08.01.1990

(51)Int.Cl.

H01L 21/336

H01L 21/28

H01L 29/784

(21)Application number : 63-143158

(71)Applicant : NEC CORP

(22)Date of filing : 10.06.1988

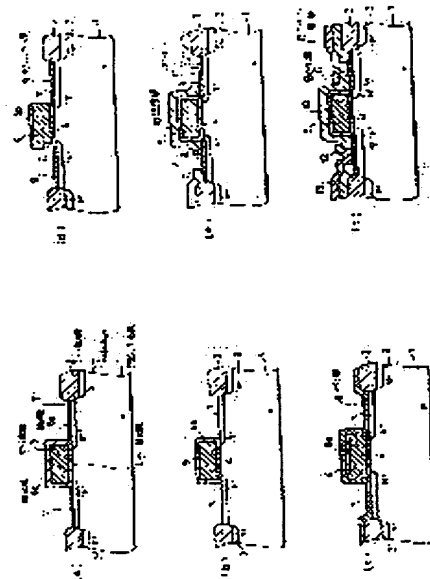
(72)Inventor : TOYODA SHIYUUJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To manufacture a semiconductor device having a MOSFET capable a reduction in the resistance of metal nitride films by a method wherein each refractory metal silicide film is formed on the surfaces of source and drain regions in a semiconductor substrate and a nitriding treatment is performed by a plasma nitriding method to form the metal nitride films as barrier metal films.

CONSTITUTION: A titanium film 8 is formed on the whole surface by a sputtering method and the film 8 is transformed into a silicide by a heat treatment in a nitrogen-containing atmosphere. Moreover, an insulating film 10 is grown on the whole surface by a CVD method or the like and a selective etching is performed to provide contact holes 11 at places to correspond to source and drain regions 7. Moreover, a plasma nitriding is performed on the exposed titanium silicide film 10 in a low-temperature and ammonia-containing atmosphere to form titanium nitride films 12 only on the bottoms of the holes 11. These films 12 are each constituted as a barrier metal film. A MOSFET manufactured can reduce the resistance of the films 12 compared to that manufactured by a nitriding method which is performed at a high temperature.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

平2-1943

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月8日

H 01 L 21/336
21/28
29/784

3 0 1 T

7738-5F

8422-5F

H 01 L 29/78

3 0 1 P

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-143158

⑰ 出 願 昭63(1988)6月10日

⑱ 発 明 者 豊 田 修 至 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 絶縁ゲート電界効果トランジスタを有する半導体装置の製造方法において、一導電型の半導体基板にゲート酸化膜、ゲート電極を形成しかつ逆導電型のソース・ドレイン領域を形成する工程と、このソース・ドレイン領域の半導体基板表面を露呈した上で全面に高融点金属膜を形成し、かつソース・ドレイン領域に対応する箇所をシリサイド化する工程と、全面に絶縁膜を形成した後に前記高融点金属シリサイド膜を露呈させるコンタクトホールを開設する工程と、このコンタクトホール内に露呈された前記高融点金属シリサイド膜の一部を低温のプラズマ窒化法により窒化処理する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)


本発明は半導体装置の製造方法に関し、特にソース・ドレイン電極のコンタクト部におけるバリアメタルの低抵抗化を図った半導体装置の製造方法に関する。

(従来技術)

従来、絶縁ゲート型電界効果トランジスタ(以下、MOSFETと称する)では、ソース・ドレイン領域としての拡散層の表面に自己整合的に金属シリサイド膜を形成し、これを電極として利用してソース・ドレインの低抵抗化を図ることが行われている。また、この金属シリサイド膜に対してソース・ドレイン電極配線を接続する際に、金属シリサイド膜のコンタクト部を窒化させ、この部分をバリアメタルとしてソース・ドレイン領域と電極配線との干渉を防止する構成とすることも行われている。

(発明が解決しようとする課題)

上述した従来のMOSFETにおいては、金属シリサイド膜の一部をバリアメタルとして窒化する際には、高温の窒素ガス雰囲気において熱処理

を行っているが、のようにして形成された窒化金属膜は比較的に高抵抗であり、ソース・ドレイン電極をシリサイド化したのに逆行してソース・ドレイン電極配線の抵抗が増大されてしまうという問題がある。

本発明はバリアメタルとして形成される窒化金属膜の低抵抗化を可能にしたMOSFETを有する半導体装置の製造方法を提供することを目的としている。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、一導電型の半導体基板に形成したソース・ドレイン領域の半導体基板の表面に高融点金属のシリサイド膜を形成し、かつこのシリサイド膜の一部をコンタクトホール内に露呈させた上で、この露呈された部分を低温のプラズマ窒化法により窒化処理し、この窒化金属をバリアメタルとして形成する工程を含んでいる。

〔作用〕

上述した製造方法では、高融点金属のシリサイ

ド膜を低温プラズマ窒化法で窒化処理するため、形成された窒化金属膜を低抵抗化でき、ソース・ドレイン電極の抵抗の増大を抑制する。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図(a)乃至(f)は本発明の一実施例を製造工程順に示す縦断面図である。

先ず、第1図(a)のように、半導体基板、例えばP型シリコン基板1の不活性領域にP型不純物拡散層のチャネルストップ2及びフィールド酸化膜3を形成する。そして、活性領域に薄い酸化膜(ゲート酸化膜)4を熱酸化により300Å程度に形成し、更にこの上にN型不純物を拡散させた多結晶シリコンを成長させ、フォトリソグラフィ及びエッチングにより多結晶シリコンエッチングし、ゲート電極5を形成する。次いで、ソース・ドレイン領域形成表面の酸化膜4をウェットエッチングにより除去し、再びこの表面及びゲート電極5の表面を800℃程度の低温で熱酸化する。これにより、シリコン基板1上に薄い酸化膜6aが、

またゲート電極5の表面に比較的厚い酸化膜6bが夫々形成される。しかる上で、N型不純物として、濃度を $1 \times 10^{14} \text{cm}^{-3}$ 程度イオン注入することにより、ソース・ドレイン領域としてのN型不純物拡散層7を形成する。

続いて、第1図(b)のように、酸化膜6a、6bの厚さの違いを利用してソース・ドレイン領域7の表面の酸化膜6aのみをウェットエッチングにより選択的に除去する。このとき、ゲート電極5の表面には酸化膜6bが残る。

次いで、第1図(c)のように、全面にチタン膜8をスパッタリング法により1000Å程度形成する。そして、第1図(d)のように、600℃窒素雰囲気中での熱処理によりチタン膜8をシリサイド化する。このとき、シリサイド化はソース・ドレイン領域7の表面でのみ起こり、ここにチタンシリサイド膜9が形成される。

更に、第1図(e)のように、全面にCVD法等により絶縁膜10を成長し、かつこれを選択エッチングして前記ソース・ドレイン領域7に対応

する箇所にコンタクトホール11を開設する。

そして、第1図(f)のように、このコンタクトホール11において露呈されたチタンシリサイド膜10に対して、約600℃程度の低温のアンモニア雰囲気中でプラズマ窒化を行い、コンタクトホール11の底部にのみ窒化チタン膜12を形成する。この窒化チタン膜12はバリアメタルとして構成される。その上で、前記コンタクトホール11を含む領域に所要パターンのアルミニウム電極配線13を形成し、このアルミニウム電極配線13はコンタクトホール11においては窒化チタン膜12を介してチタンシリサイド膜9乃至ソース・ドレイン領域7に電気接続される。

このようにして製造されるMOSFETでは、アルミニウム電極配線13とソース・ドレイン領域7との間に介在されるバリアメタルとしての窒化チタン膜12を、低温のプラズマ窒化法により形成しているため、高温での窒化法に比較して窒化チタン膜12の抵抗を低減することが可能となる。このため、ソース・ドレイン領域7とアルミ

ニウム電極13と低抵抗状態で電気接続することが可能となり、ソース・ドレイン電極配線の抵抗の増大を防止できる。

なお、第2図に示すように、前記第1図(b)の工程で、酸化膜6a、6bを異方性エッチングにより除去しかつそのエッチングを適宜にコントロールすれば、酸化膜6aの除去とともにゲート電極5上の酸化膜6bをも除去することができ、ソース・ドレイン領域7とともにゲート電極5の上面を露呈させることができる。

したがって、この状態で第1図(c)及び(d)の工程を行えば、第2図のようにゲート電極5の上面にもチタンシリサイド膜9を形成することができ、ゲート電極の低抵抗化を実現することも可能となる。

(発明の効果)

以上説明したように本発明は、ソース・ドレイン領域の半導体基板の表面に形成した高融点金属のシリサイド膜を、低温のプラズマ窒化法により窒化処理してバリアメタルとしての窒化金属膜を

形成しているため、形成される窒化金属膜の低抵抗化を可能とし、ソース・ドレイン電極の抵抗の増大を抑制したMOSFETを製造できる効果がある。

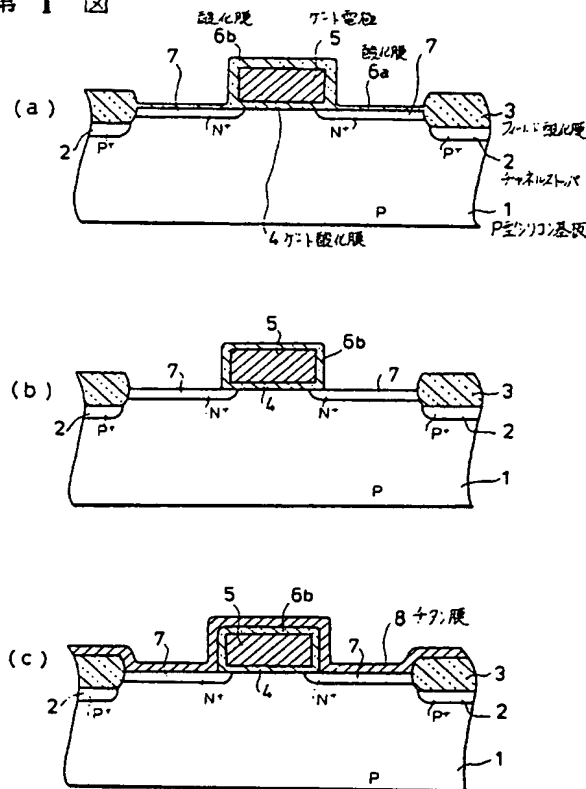
4. 図面の簡単な説明

第1図(a)乃至第1図(f)は本発明の製造方法の一実施例を製造工程順に示す縦断面図、第2図は本発明の他の製造方法の工程一部を示す縦断面図である。

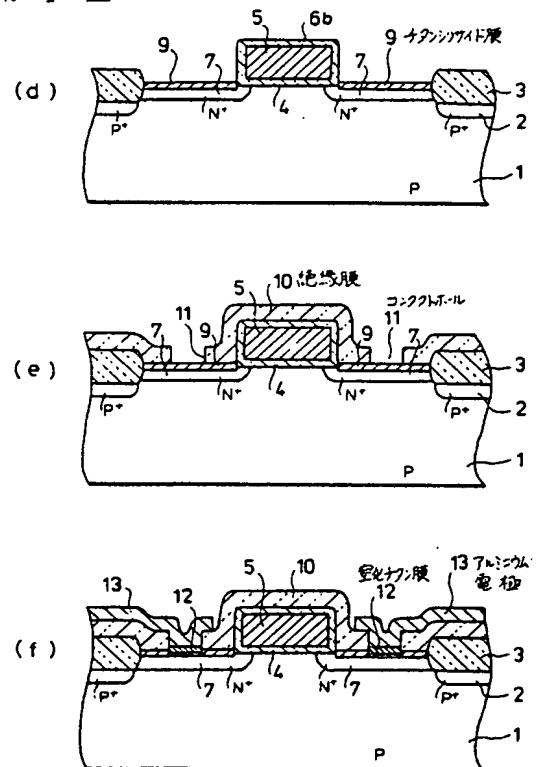
1…P型シリコン基板、2…チャネルストップ、3…フィールド酸化膜、4…ゲート酸化膜、5…ゲート電極、6a、6b…酸化膜、7…N型不純物拡散層(ソース・ドレイン領域)、8…チタン膜、9…チタンシリサイド膜、10…絶縁膜、11…コンタクトホール、12…窒化チタン膜、13…アルミニウム電極配線。

代理人 弁理士 鈴木 章 夫

第1図



第1図



第 2 図

